

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175225

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 03-355201

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 20.12.1991

(72)Inventor : YAMAHATA SHIYOUJI
IRITONO TAKUMI
MATSUOKA YUTAKA

(54) MANUFACTURE OF HETERO JUNCTION BIPOLAR TRANSISTOR

(57)Abstract:

PURPOSE: To obtain a manufacturing method of an HBT of collector-up structure wherein a base resistance and a base-emitter junction capacitance are reduced or an HBT of emitter-up structure wherein a base resistance and a base-collector capacitance are reduced.

CONSTITUTION: An NPN type HBT of collector-up structure consists of a semiconductor layer containing the following; an N-type AlGaAs emitter layer 3 on a GaAs substrate 1, a P-type GaAs base layer 4 which is formed on the layer 3 and has a band gap narrower than that of the layer 3, and an N-type GaAs collector layer 5 formed on the layer 4. When the above HBT is manufactured, a high resistance region 9 is selectively constituted in the N-type AlGaAs emitter layer 3 by implanting oxygen ions while using a first insulating film and a second insulating film side wall as masks. By an epitaxial re-growth method using a mask, the collector-up type HBT is selectively deposited and manufactured so as to be in contact with only the outer emitter layer 9 where a P-type GaAs outer base layer 10 is made highly resistive and the base layer 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

563-11662

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175225

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/331				
29/73				
29/205		7377-4M		
		7377-4M	H 0 1 L 29/ 72	

審査請求 未請求 請求項の数4(全12頁)

(21)出願番号 特願平3-355201

(22)出願日 平成3年(1991)12月20日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 山橋 幸司

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 入戸野 巧

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 松岡 裕

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

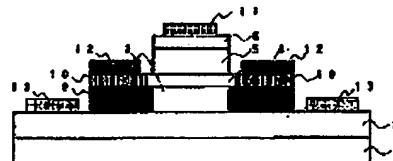
(74)代理人 弁理士 玉島 久五郎

(54)【発明の名称】 ヘテロ接合バイポーラトランジスタの製造方法

(57)【要約】 (修正有)

【目的】 ベース抵抗 R_b 、及びベース・エミッタ接合容量 C_{be} の低減化されたコレクタアップ構造のHBT、またはベース抵抗及びベース・コレクタ接合容量 C_{bc} の低減化されたエミッタアップ構造のHBTの製造方法を提供する。

【構成】 GaAs基板1上にn型AlGaAsエミッタ層3、その上に形成されたバンドギャップのより狭いp型GaAsベース層4、及びその上に形成されたn型GaAsコレクタ層5を含む半導体層から構成されたコレクタアップ構造のn-p-n型HBTを製造する際に、第1絶縁膜と第2絶縁膜側壁をマスクとする酸素イオン注入により、上記n型AlGaAsエミッタ層3中に選択的に高抵抗領域9を構成する。さらに前記のマスクを用いエビタキシャル再成長法により、p型GaAs外部ベース層10を高抵抗化した外部エミッタ層9とベース層4にのみ接触するよう選択的に増殖してコレクタアップ型HBTを製造する。エミッタアップ構造と同様にできる。



1 半導体層GaAs基板
2 第1絶縁膜
3 n型AlGaAsエミッタ層
4 p型GaAsベース層
5 n型GaAsコレクタ層
6 第2絶縁膜
7 第1絶縁膜の開口部
8 第2絶縁膜の開口部
9 高抵抗領域
10 外部ベース層

GaAs基板1上にn型AlGaAsエミッタ層3、その上に形成されたバンドギャップのより狭いp型GaAsベース層4、及びその上に形成されたn型GaAsコレクタ層5を含む半導体層から構成されたコレクタアップ構造のn-p-n型HBTを製造する際に、第1絶縁膜と第2絶縁膜側壁をマスクとする酸素イオン注入により、上記n型AlGaAsエミッタ層3中に選択的に高抵抗領域9を構成する。さらに前記のマスクを用いエビタキシャル再成長法により、p型GaAs外部ベース層10を高抵抗化した外部エミッタ層9とベース層4にのみ接触するよう選択的に増殖してコレクタアップ型HBTを製造する。エミッタアップ構造と同様にできる。

(2)

特開平5-175225

1

【特許請求の範囲】

【請求項1】 基板上に、n型の導電型を有する第1の半導体層から成るエミッタ層、前記エミッタ層上に形成された前記第1の半導体層よりもバンドギャップの小さい、p型の導電型を有する第2の半導体層から成るベース層、及び前記ベース層上に形成されたn型の導電型を有する第3の半導体層から成るコレクタ層を含む半導体層から構成されたコレクタアップ構造のn-p-n型ヘテロ接合バイポーラトランジスタにおいて、上記コレクタ層上に第1の絶縁膜を堆積し、形成された

パタニングをマスクとするエッチング処理によって、選択的に上記第1の絶縁膜を除去する工程と、上記パタニングされた第1の絶縁膜をマスクとするエッチング処理によって、上記コレクタ層の一部または全部を除去してメサ型構造を形成する工程と、上記エッチング工程により露出したベース層またはコレクタ層、メサ型構造を有するコレクタ層の側壁、及び上記第1の絶縁膜の全てに渡る平面上に、第2の絶縁膜を堆積し、反応性イオンエッチング法により上記第2の絶縁膜を除去することで上記メサ型構造を有するコレクタ層の側壁上の全体に渡り上記第2の絶縁膜のサイドウォールを形成する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとするエッチング処理によって、p型の導電型を有する第2の半導体層から成るベース層を選択的に除去する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとする酸素イオン注入によって、上記n型の導電型を有する第1の半導体層から成るエミッタ層中に選択的に高抵抗領域を形成する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとするエビタキシャル再成長法によって、p型の導電型を有する第4の半導体層を、上記酸素イオン注入によって高抵抗化した外部エミッタ層と上記第2の半導体層から成るベース層にのみ連続的に接触する様に選択的に堆積する工程とを含むことを特徴とするコレクタアップ形ヘテロ接合バイポーラトランジスタの製造方法。

【請求項2】 前記基板は半絶縁性GaAs基板であり、前記第1の半導体層からなるエミッタ層がAlGaAs層、前記第2の半導体層からなるp形ベース層がGaAs層、前記第3の半導体層からなるコレクタ層がGaAs層、前記第1の絶縁膜及び前記第2の絶縁膜サイドウォールが共にシリコン窒化膜、前記第4の半導体層からなる再成長半導体層がGaAs層である請求項1記載のコレクタアップ形ヘテロ接合バイポーラトランジスタの製造方法。

【請求項3】 基板上に、n型の導電型を有する第1の半導体層から成るコレクタ層、前記コレクタ層上に形成されたp型の導電型を有する第2の半導体層から成るベ

2

ース層、及び前記ベース層上に形成された前記第2の半導体層よりもバンドギャップの広い、n型の導電型を有する第3の半導体層から成るエミッタ層を含む半導体層から構成されたエミッタアップ構造のn-p-n型ヘテロ接合バイポーラトランジスタにおいて、上記エミッタ層上に第1の絶縁膜を堆積し、形成されたパタニングをマスクとするエッチング処理によって、選択的に上記第1の絶縁膜を除去する工程と、

上記パタニングされた第1の絶縁膜をマスクとするエッチング処理によって、上記コレクタ層の一部または全部を除去してメサ型構造を形成する工程と、

上記エッチング工程により露出したベース層またはエミッタ層、メサ型構造を有するエミッタ層の側壁、及び上記第1の絶縁膜の全てに渡る平面上に、第2の絶縁膜を堆積し、反応性イオンエッチング法により上記第2の絶縁膜を除去することで上記メサ型構造を有するエミッタ層の側壁上の全体に渡り上記第2の絶縁膜のサイドウォールを形成する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとするエッチング処理によって、p型の導電型を有する第2の半導体層から成るベース層を選択的に除去する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとする酸素イオン注入によって、上記n型の導電型を有する第1の半導体層から成るコレクタ層中に選択的に高抵抗領域を形成する工程と、

上記第1の絶縁膜及び上記第2の絶縁膜サイドウォールをマスクとするエビタキシャル再成長法によって、p型の導電型を有する第4の半導体層を、上記酸素イオン注入によって高抵抗化した外部コレクタ層と上記第2の半導体層から成るベース層にのみ連続的に接触する様に選択的に堆積する工程とを含むことを特徴とするエミッタアップ形ヘテロ接合バイポーラトランジスタの製造方法。

【請求項4】 前記基板は半絶縁性GaAs基板であり、前記第1の半導体層からなるコレクタ層がGaAs層、前記第2の半導体層からなるp形ベース層がGaAs層、前記第3の半導体層からなるエミッタ層がGaAlAs層、前記第1の絶縁膜及び前記第2の絶縁膜サイドウォールが共にシリコン窒化膜、前記第4の半導体層からなる再成長半導体層がGaAs層である請求項3記載のエミッタアップ形ヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、超高速ヘテロ接合バイポーラトランジスタの製造方法に関し、特に、外部ベース層の地下層としての外部エミッタ層（もしくは外部コレクタ層）への酸素のイオン注入による安定化した高抵抗層形成とサイドウォールマスクを用いて内部ベース層

(3)

特開平5-175225

3

と接続して上記高抵抗層上に外部ベース層を高濃度で再成長形成することによって、ベース抵抗 R_b を低減化し、ベース・エミッタ接合容量 C_{be} （もしくはベース・コレクタ接合容量 C_{bc} ）を低減化する点に特徴を有するコレクタアップ（もしくはエミッタアップ）構造のヘテロ接合バイポーラトランジスタの製造方法に関する。

【0002】

【従来の技術】III-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（以下HBTと略す）は、メサ型構造を有する縦型トランジスタであり、エミッタが半導体表面側に設けられたエミッタアップ構造と、コレクタが半導体表面側に設けられたコレクタアップ構造に分けられる。

【0003】HBTの高周波特性は、真性トランジスタ*

$$f_{max} = (f_T / 8\pi R_b C_{bc})^{1/4}$$

【0006】HBTはメサ型構造であるためコレクタ面積の小さいコレクタアップの方がエミッタアップよりもベース・コレクタ接合容量 C_{bc} は小さい。特に、エミッタアップ構造では、素子寸法が微細になるほどベース・エミッタ接合面積に占める外部ベースの面積の割合が急激に増加するため、ベース・コレクタ接合容量 C_{bc} を低下させるにはコレクタアップ構造が圧倒的に有利である。

【0007】 R_b は真性ベースのシート抵抗、外部ベースのシート抵抗とコレクタ抵抗で決まり、エミッタアップにしてもコレクタアップでも変わらない。従って、超高速化を図る（最高発振周波数 f_{max} の向上）には、ベース・コレクタ接合容量 C_{bc} が小さく、ベース抵抗 R_b も遜色のないコレクタアップ構造の方が断然有利である。この点については、例えば、H. Kroemer による論文、" Heterostructure Bipolar Transistors and Integrated Circuits ", Proceedings of the IEEE, vol. 70, No. 1, pp. 19 ~ 24 において開示されている通りである。これに加えて、コレクタアップ構造は、エミッタを半導体基板側に設けることができるため、集積化や実装上問題になる表面配線等の影響が少ないという利点も有する。

【0008】この様に、コレクタアップ構造は、超高速化、高集積化に優れており、また、 f_{max} が高いことからパワー用トランジスタとしても可能性を秘めている。前述した様にエミッタ面積がコレクタ面積よりも大きくなってしまいうため、エミッタアップ構造に比べて電流増幅率が低くなってしまいう。また、外部ベース下部に蓄積するキャリアによりベース・エミッタ接合容量 C_{be} が増大し、電流利得遮断周波数 f_t が低くなる問題も生ずる。これらの問題点を解決するためには、エミッタから外部ベース領域へのキャリア注入を抑制することが第1である。

【0009】例えば、III-V族化合物半導体によって形成されたHBTでは、外部ベース領域のP-N接合を

4

* 及び外部寄生効果も含めた等価回路から理解できる。超高周波特性の性能指数は、電流利得遮断周波数 f_t と最高発振周波数 f_{max} であるが、この内電流利得遮断周波数 f_t は少数キャリアがエミッタからコレクタへ流れていくときの遅延時間と関係があり、素子寸法の微細化が進めば、主にエミッタ、ベース、コレクタ各層の不純物濃度、層構造等で決定されるので、エミッタアップでも、コレクタアップでもその値は構造にほとんどよらない。

【0004】一方、最高発振周波数 f_{max} は、(1)式で表される様にベース抵抗 R_b 、ベース・コレクタ接合容量 C_{bc} に大きく依存している。

【0005】

【数1】

$$\dots\dots (1)$$

ベース層下のワイドバンドギャップ半導体（エミッタ）層中に形成することにより、真性トランジスタ部分のヘテロP-N接合の障壁電位とワイドバンドギャップエミッタ中ホモP-N接合の障壁電位の差を利用して、外部ベース領域へのキャリア注入を抑制することができる。特に、最も研究が進んであったn-p-n型AlGaAs/GaAs HBTでは、Be、Mg、C等のアクセプタ不純物を外部ベース上からイオン注入することによりワイドバンドギャップAlGaAsエミッタ中にP-N接合を形成する方法が主流であった。この点については、例えば、K. Morizuka, T. Mozu, K. Tsuda 及び M. Azuma による論文、" Collector-top GaAs/AlGaAs Heterojunction Bipolar Transistors for High-Speed Digital ICs ", Electronics Letters, vol. 22, pp. 315 ~ 316, 1986 において開示されている通りである。

【0010】しかしながら、AlGaAs中にイオン注入法で形成されたP-N接合は、エビタキシャル成長法により形成された接合に較べP-N接合ダイオードの性能指数であるn値が高く、再結合電流成分が多い。この点については、例えば、S. Yamahata, S. Adachi 及び T. Ishibashi による論文、" Electrical properties of Be⁺ ion-implanted Al_xGa_{1-x}As p-n junctions ", J. Appl. Phys., vol. 62, pp. 3042 ~ 3046, 1987 において開示されている通りである。コレクタアップ構造では、外部ベース下部のP-N接合はトランジスタ動作時には順方向にバイアスされており、高電流を流すとこの再結合電流に起因するリーク電流が増大し、トランジスタ特性が著しく低下する。エミッタ・ベース接合が順方向バイアス状態下にあっても、トランジスタが正常動作するためには、電気的に絶縁された高抵抗領域を外部エミッタ・ベース接合中に設けることが最も有効な方策である。特に、ワイドバンドギャップの高抵抗半導体層は、電子、正孔いずれに対しても高いヘテロ障壁が生じており、キャリア注入は少ない。

【0011】この様な高抵抗領域は、プロトンや酸素等

50

(4)

特開平5-175225

5

の不活性ガスをイオン注入して形成する方法が実用上最も簡便で、信頼性に優れているが、中でもAlGaAs中では酸素イオン注入で形成した高抵抗層が熱的安定性に優れており、素子間分離に用いられる様になりつつある。この点については、例えば、S.J. Pearton, M.P. Iannuzzi, C.L. Reynolds, Jr., 及び L. Petricolas による論文, "Formation of thermally stable high-resistivity AlGaAs by oxygen implantation", Appl. Phys. Lett., 52, pp.395 ~ 397 において開示されている通りである。

【0012】ところで、前述した様に、最高共振周波数 f_{max} の向上には、ベース・コレクタ接合容量 C_{bc} はもとよりベース抵抗 R_b の低減も重要であるが、この様な酸素イオン注入を外部ベース層を通して行くと、放射損傷による欠陥によりベース抵抗 R_b が著しく増大し、正常なトランジスタ動作を示さなくなる。このため、酸素イオン注入後に更にp型不純物を導入し表面濃度を高めることが不可欠となるが、III-V族化合物半導体表面の高濃度化にはZn拡散が最も有効であることが知られている。実際、酸素イオン注入後にZn拡散を行えば、かなりの程度までベース抵抗が改善され、正常なトランジスタ動作を示すようになる。

【0013】しかし、外部ベース部にZn拡散を用いて表面濃度を高めても、やはり酸素イオン注入を行ってその下のAlGaAs層を高抵抗化している影響のためにそのベース抵抗 R_b の値には限界がある。また、Zn拡散は拡散係数が他のp形ドーパントと比べて大きく、過剰のZnは真性トランジスタ領域へも拡散し、トランジスタ特性を劣化させる。従って、Zn拡散は必要最低限であることが望ましい。信頼性に富みかつより高速の動作を達成するためには、Zn拡散をなるべく用いないで更にベース抵抗 R_b を低減させる必要がある。

【0014】以上の問題点を更に図面を用いて具体的に説明する。

【0015】図7は、酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層9を形成後、Zn拡散を行った高濃度p-GaAs外部ベース層を形成した従来の典型的なコレクタアップ構造のn-p-n型AlGaAs/GaAs HBTの断面構造図を示したものである。半絶縁性GaAs基板1上に、Siドーピング濃度： $5 \times 10^{17} \text{ cm}^{-3}$ ）パッパ層2を0.7 μm 、SiドーピングN-AlGaAs（Siドーピング濃度： $2 \times 10^{17} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 、Al-As組成：0~0.3）エミッタ層3を0.4 μm 、CF-P-GaAs（CFドーピング濃度： $2.5 \times 10^{18} \text{ cm}^{-3}$ ）ベース層4を0.08 μm 、Siドーピングn-GaAs（Siドーピング濃度： $5 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ ）コレクタ層5を0.5 μm 、Siドーピングn-GaAs（Siドーピング濃度： $5 \times 10^{18} \text{ cm}^{-3}$ ）キャップ層6を0.1 μm 、それぞれ分子線エビタ

6

キシャル成長（MBE）法により順次エビタキシャル成長させたウエハを用いて、酸素イオンを加速電圧100 keVで注入し、N-AlGaAs外部エミッタ層9を高抵抗化し、更に外部ベース上にZn拡散を550℃、3分間閉管法で行い、表面濃度を高めた。図中14は、Zn拡散を行った領域を示している。その後、AuGe/Ni/Ti/Pt/Auのコレクタ電極11、Ti/Pt/Auノンアロイベース電極12、AuGe/Ni/Ti/Pt/Auのエミッタ電極13を設け、プロトン注入で素子間分離を行いトランジスタを製作した。メサエッチング等半導体加工技術はドライエッチング法を用いた。

【0016】図8は、図7で示した従来型コレクタアップHBTについて、素子サイズ2 $\mu\text{m} \times 10 \mu\text{m}$ 、コレクタ電流密度 $2.5 \times 10^4 \text{ A/cm}^2$ における電流利得遮断周波数 f_t 、最高共振周波数 f_{max} 、の酸素イオン注入ドーズ量依存性を示している。●が f_t 、○が f_{max} を表している。

【0017】酸素イオン注入ドーズ量が増えるとN-AlGaAs外部エミッタ層9の高抵抗化が促進され、Zn拡散を行った高濃度p-GaAs外部ベース層14へのキャリア注入が抑制され、ベース・エミッタ間の接合容量 C_{bc} が低下することにより電流利得遮断周波数 f_t が増加し、酸素イオン注入ドーズ量が 1.5×10^{17} では $f_t = 50 \text{ GHz}$ に飽和する。一方、最高共振周波数 f_{max} はこのドーズ量を超えると減少し始める。

【0018】図9は、TLM(Transmission Line Mode)法で求めた酸素イオン注入、Zn拡散を行った高濃度p-GaAs外部ベース層14のシート抵抗 R_s 、及びコンタクト抵抗率 ρ_c の酸素イオン注入ドーズ量依存性を示している。酸素イオン注入ドーズ量の増加に伴いシート抵抗 R_s 、コンタクト抵抗率 ρ_c 共に増大することが一目瞭然であり、従って、図8中で示した最高共振周波数 f_{max} の減少は明らかに外部ベース抵抗の増大に起因する。酸素イオン注入を行わないでGaAs中にZn拡散を同じ条件で行えば、シート抵抗 R_s は260 Ω/\square 程度であり、酸素イオン注入ドーズ量が最も少ない($5 \times 10^{17} \text{ cm}^{-2}$)場合でさえもシート抵抗 R_s は3倍に増加する。結局、酸素イオン注入とZn拡散を用いてもその高周波特性（最高共振周波数 f_{max} ）には限界があり、コレクタアップHBTの性能を充分引き出すに至っていない。

【0019】図10は、従来型コレクタアップAlGaAs/GaAs HBTの高周波特性解析から得られた電流利得遮断周波数 f_t 、ベース・コレクタ接合容量 C_{bc} の値（素子寸法2 $\mu\text{m} \times 10 \mu\text{m}$ ）を用いて、(1)式で計算した最高共振周波数 f_{max} のベース抵抗 R_b 依存性を示している。グラフより最高共振周波数 f_{max} の向上には、ベース抵抗 R_b の低減が不可欠であることがわかる。図8に示した従来例では、最高共振周波数 f_{max}

(5)

特開平5-175225

7

の最高値は40GHz程度であるので、この計算結果からベース抵抗 R_b は、125Ω見稱もることができる。

【0020】従来の酸素イオン注入によりN-AlGaAs外部エミッタ層9を高抵抗化し、Zn拡散で高濃度p-GaAs外部ベース層を形成する方法では、ベース抵抗 R_b の低減に限界があり、高周波特性、特に最高共振周波数 f_{max} の向上が望めない。コレクタアップ構造のHBTのポテンシャルを引き出す上でベース抵抗 R_b の改善は不可欠である。同様にエミッタアップ構造のHBTにおいても従来の外部コレクタ層への酸素イオン注入による高抵抗化工程後、Zn拡散で高濃度p-GaAs外部ベース層を形成する方法では、コレクタアップ構造のHBTの場合と同様の問題点が生ずることも明らかである。

【0021】

【発明が解決しようとする課題】本発明の目的の1つは、ベース抵抗 R_b が低減化されかつベース・エミッタ接合容量の低減化されたコレクタアップ構造のヘテロ接合バイポーラトランジスタの製造方法を提供することにある。

【0022】本発明の別の目的の1つは、ベース抵抗 R_b が低減化されかつベース・コレクタ接合容量の低減化されたエミッタアップ構造のヘテロ接合バイポーラトランジスタの製造方法を提供することにある。

【0023】

【課題を解決するための手段】上記の目的を達成するため本発明は、基板(1)上に、n型の導電型を有する第1の半導体層から成るエミッタ層(3)、前記エミッタ層(3)上に形成された前記第1の半導体層よりもバンドギャップの小さい、p型の導電型を有する第2の半導体層から成るベース層(4)、及び前記ベース層(4)上に形成されたn型の導電型を有する第3の半導体層から成るコレクタ層(5)を含む半導体層から構成されたコレクタアップ構造のn-p-n型ヘテロ接合バイポーラトランジスタにおいて、

【0024】上記コレクタ層(5)上にキャップ層(6)を介して第1の絶縁膜(7)を堆積し、パタニングによりマスクを形成し、エッチング処理によって、選択的に上記第1の絶縁膜(7)を除去する工程(図1)と、

【0025】上記パタニングされた第1の絶縁膜(7)をマスクとするエッチング処理によって、上記コレクタ層(5)の一部または全部を除去してメサ型構造を形成する工程と、

【0026】上記エッチング工程により露出したベース層(4)またはコレクタ層(5)、メサ型構造を有するコレクタ層(5)の側壁、及び上記第1の絶縁膜(7)の全てに渡る平面上に、第2の絶縁膜(8)を堆積し、反応性イオンエッチング法により上記第2の絶縁膜(8)を除去することで上記メサ型構造を有するコレ

8

クタ層(5)の側壁上の全体に渡り上記第2の絶縁膜のサイドウォール(8)を形成する工程(図2)と、

【0027】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとするエッチング処理によって、p型の導電型を有する第2の半導体層から成るベース層(4)を選択的に除去する工程と、

【0028】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとする酸素イオン注入によって、上記n型の導電型を有する第1の半導体層から成るエミッタ層(3)中に選択的に高抵抗領域(9)を形成する工程(図3)と、

【0029】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとするエピタキシャル再成長法によって、p型の導電型を有する第4の半導体層(10)を、上記酸素イオン注入によって高抵抗化した外部エミッタ層(9)と上記第2の半導体層から成るベース層(4)にのみ連続的に接触する様に選択的に堆積する工程(図4)とを含むことを特徴とするコレクタアップ形ヘテロ接合バイポーラトランジスタの製造方法を発明の要旨とするものである。

【0030】或いはまた、本発明は上記構成において、前記基板(1)は半絶縁性GaAs基板であり、前記第1の半導体層からなるエミッタ層(3)がAlGaAs層、前記第2の半導体層からなるp形ベース層(4)がGaAs層、前記第3の半導体層からなるコレクタ層(5)がGaAs層、前記第1の絶縁膜(7)及び前記第2の絶縁膜サイドウォール(8)が共にシリコン窒化膜、前記第4の半導体層からなる再成長半導体層(10)がGaAs層であるコレクタアップ形ヘテロ接合バイポーラトランジスタの製造方法としての構成を有するものである。

【0031】上記ベース抵抗 R_b に伴う問題点を解決するためには、N-AlGaAsエミッタ層(3)を高抵抗化するために酸素イオン注入の外部ベース層(10)に与える影響を完全に排除することが必要である。

【0032】そのためには、酸素イオン注入を外部ベース層(4)の上から行うのではなく、予め外部ベース層(4)をエッチング処理により取り除き、N-AlGaAsエミッタ層(3)を露出させた後に行う。更にその酸素イオン注入により高抵抗化したAlGaAsエミッタ層(9)上に選択再成長技術により新たに高濃度のp形不純物をドーピングしたGaAs層(10)を埋め込む。

【0033】本発明のヘテロ接合バイポーラトランジスタ(HBT)の製造方法は、上記のコレクタアップ構造に限定されるものではなく、同様の製造方法をエミッタアップ構造のヘテロ接合バイポーラトランジスタ(HBT)の製造方法においても適用することができる。その場合の本発明の構成は下記に示す通りである。即ち、図6を参照して、本発明は基板(1)上に、n型の導電型

(6)

特開平5-175225

9

10

を有する第1の半導体層から成るコレクタ層(5)、前記コレクタ層(5)上に形成されたp型の導電型を有する第2の半導体層から成るベース層(4)、及び前記ベース層(4)上に形成された前記第2の半導体層よりもバンドギャップの広い、n型の導電型を有する第3の半導体層から成るエミッタ層(3)を含む半導体層から構成されたエミッタアップ構造のn-p-n型ヘテロ接合バイポーラトランジスタにおいて、

【0034】上記エミッタ層(3)上にキャップ層(2')を介して第1の絶縁膜(7)を堆積し、形成されたパタニングをマスクとするエッチング処理によって、選択的に上記第1の絶縁膜(7)を除去する工程と、

【0035】上記パタニングされた第1の絶縁膜(7)をマスクとするエッチング処理によって、上記エミッタ層(3)の一部または全部を除去してメサ型構造を形成する工程と、

【0036】上記エッチング工程により露出したベース層(4)またはエミッタ層(3)、メサ型構造を有するエミッタ層(3)の側壁、及び上記第1の絶縁膜(7)の全てに渡る平面上に、第2の絶縁膜(8)を堆積し、反応性イオンエッチング法により上記第2の絶縁膜(8)を除去することで上記メサ型構造を有するエミッタ層(3)の側壁上の全体に渡り上記第2の絶縁膜のサイドウォール(8)を形成する工程と、

【0037】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとするエッチング処理によって、p型の導電型を有する第2の半導体層から成るベース層(4)を選択的に除去する工程と、

【0038】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとする酸素イオン注入によって、上記n型の導電型を有する第1の半導体層からなるコレクタ層(5)中に選択的に高抵抗領域(9')を形成する工程と、

【0039】上記第1の絶縁膜(7)及び上記第2の絶縁膜サイドウォール(8)をマスクとするエビタキシャル再成長法によって、p型の導電型を有する第4の半導体層(10)を、上記酸素イオン注入によって高抵抗化した外部コレクタ層(9')と上記第2の半導体層からなるベース層(4)にのみ連続的に接触する様に選択的に堆積する工程とを含むことを特徴とするエミッタアップヘテロ接合バイポーラトランジスタの製造方法としての構成を有するものであり、或いはまた、

【0040】前記基板(1)は半絶縁性GaAs基板であり、前記第1の半導体層からなるコレクタ層(5)がGaAs層、前記第2の半導体層からなるp形ベース層(4)がGaAs層、前記第3の半導体層からなるエミッタ層(3)がGaAlAs層、前記第1の絶縁膜(7)及び前記第2の絶縁膜サイドウォール(8)が共にシリコン窒化膜、前記第4の半導体層からなる再成長

半導体層(10)がGaAs層であるエミッタアップ形ヘテロ接合バイポーラトランジスタの製造方法としての構成を有するものである。

【0041】

【作用】本発明で形成される高濃度p-GaAs外部ベース層(10)は、コレクタアップ構造の場合その下地層としてのAlGaAsエミッタ層(3)を高抵抗化させるために行う酸素イオン注入の影響を全く受けることなく、ベース抵抗R_bが顕著的に減少する。加えて、AlGaAsエミッタ層(3)の高抵抗化に関しては、酸素イオン注入のドーズ量を更に増やすことにより信頼性に優れた高抵抗層(9)を形成することが可能になる。エミッタアップ構造の場合にはGaAsコレクタ層(5)の高抵抗化のために行う酸素イオン注入の影響を高濃度p-GaAs外部ベース層(10)は受けることなく、ベース抵抗が顕著的に減少する。同様にGaAsコレクタ層(5)の高抵抗化に関しては、酸素イオン注入のドーズ量を更に増やすことにより、信頼性に優れた高抵抗層(9')を形成できる。

【0042】これにより、高周波特性、信頼性に優れたコレクタアップ構造或いはエミッタアップ構造のAlGaAs/GaAs HBTを提供できるようになる。

【0043】

【実施例】以下、図面に基づき実施例について説明する。なお、実施例はあくまでも一つの例示であって、本発明の主旨を逸脱しない範囲で種々の変更或いは改良を行うことは言うまでもない。

【0044】

【実施例1】図1乃至図5は、本発明によるn-p-n型コレクタアップ構造HBTの製造工程を図示したものであり、全て素子断面構造図を示している。本実施例では、トランジスタの結晶材料として、半絶縁性のGaAs基板(1)上にエビタキシャル成長したAlGaAs/GaAs半導体結晶(2、3、4、5、6)を例にとりて説明する。

【0045】図1は、半絶縁性GaAs基板1上にSi₃F₄-p-n-GaAs(Siドーピング濃度: $5 \times 10^{18} \text{ cm}^{-3}$)バッファ層2を0.7 μm 、Si₃F₄-p-n-AlGaAs(Siドーピング濃度: $2 \times 10^{18} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 、Al-As組成: 0~0.3)エミッタ層3を0.4 μm 、C₃F₈-p-GaAs(CFドーピング濃度: $4 \times 10^{18} \text{ cm}^{-3}$)ベース層4を0.05 μm 、Si₃F₄-p-n-GaAs(Siドーピング濃度: $5 \times 10^{18} \sim 2 \times 10^{18} \text{ cm}^{-3}$)コレクタ層5を0.5 μm 、Si₃F₄-p-n-GaAs(Siドーピング濃度: $5 \times 10^{18} \text{ cm}^{-3}$)キャップ層6を0.1 μm 、それぞれ有線金属熱分解(MOCVD)法により順次エビタキシャル成長させたウエハ全面にシリコン窒化膜(Si₃N₄)7をプラズマCVD法により堆積させた工程を示したものである。

(7)

特開平5-175225

11

【0046】本実施例ではCドープP-GaAs ベース層4のドーピング濃度を高めるためにMOCVD法を用いてエピタキシャル成長を行ったが、MOMBE法を用いることも可能である。MOMBE法は原料にガスソースを用い、MBE法とMOCVD法の中間領域の真空度(10⁻⁷Torr前後)で行うもので、ガスソースMBE法、真空MOCVD法、化学ビームエピタキシャル(CBE)法とも呼ばれている。

【0047】図2は、フォトリソグラフィによりパタニングを行い、このパタニングしたフォトレジストをマスクに上記シリコン窒化膜(Si₃N₄膜)7をC₂F₆、ガスRIE及びSF₆、ガスRIE法によりエッチングし、更に同じマスクで図中6のSiドープn-GaAsキャップ層、及び5のコレクタ層をC₁、ガスECRプラズマRIE法でエッチングを行い、CドープP-GaAs ベース層4を露出させた後、プラズマCVD法とC₂F₆、ガスRIE及びSF₆、ガスRIE法を用いてシリコン窒化膜(Si₃N₄膜)サイドウォール8をコレクタメサの両側に形成する工程を示したものである。上記シリコン窒化膜サイドウォール8の幅は0.1μm程度とした。

【0048】図3は、上記シリコン窒化膜7及びシリコン窒化膜サイドウォール8をマスクとして、選択エッチング液により、露出しているCドープP-GaAs ベース層4のみを除去した後、同じマスクで酸素イオン注入を行い、SiドープN-AlGaAs外部エミッタ層3を高抵抗化する工程を示したものである。ここで用いたAlGaAs/GaAs選択エッチング液は、NaOH/H₂O₂系のエッチング液である。また、酸素イオン注入の加速電圧はSiドープN-AlGaAsエミッタ層3の厚さにより決められるが(AlGaAs外部エミッタ層9の全域に渡って高抵抗化するため)、本実施例では、100keVとした。この時の射影飛程R_pは、0.15μm程度である。酸素イオンの注入ドーズ量は2×10¹⁷cm⁻²で、この注入条件によりAlGaAs外部エミッタ層9は図3中9で示される様に全域に渡って高抵抗化される。

【0049】図4は、酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層9の表面を洗浄した後、MOMBE法により、トリメチルガリウム(TMGe)、As₂を成長原料として成長温度450~500℃でCドープ高濃度(正孔濃度1×10¹⁹程度)p-GaAs外部ベース層10を酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層9上に再成長させた工程を示したものである。キャリア濃度の制御は、TMGe供給量を一定として、As₂圧を制御することで行った。本実施例では、再成長の方法としてMOMBE法を用いたが、MOCVD法を用いることも可能である。一般に、再成長を行う際、成長膜の堆積速度は、成長面と成長面に対し垂直な側壁とは異なることが知られてお

12

り、本来必要のない半導体側壁への再成長を制御することは難しい。本実施例では、シリコン窒化膜サイドウォール8でコレクタメサ部を覆っているため、半導体側壁上に再成長膜が堆積することではなく、図4中再成長高濃度p-GaAs外部ベース層10として示したように選択的に真性ベース層4と連続して堆積することができ、再成長時に不必要な部分への堆積を防ぐ目的でシリコン窒化膜サイドウォール8を導入したことが本発明の特徴の一つである。本実施例では、再成長高濃度p-GaAs外部ベース層10の厚さは0.1μmとした。

【0050】図5は、再成長高濃度p-GaAs外部ベース層10に対してフォトリソグラフィによりパタニングを行い、スペーサリフトオフ法を用いてTi/Pt/Auベース電極12を形成し、更にこのTi/Pt/Auベース電極12の丁度外側までフォトリソグラフィによりパタニングを行い(コレクタ部(5, 6)全体、Ti/Pt/Auベース電極12の内側、Ti/Pt/Auベース電極12もフォトレジストでカバーされる)、このパタニングしたフォトレジストをマスクにして、上記再成長した高濃度p-GaAs外部ベース層10及び酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層9をC₁、ガスECRプラズマRIE法でエッチングし、高濃度Siドープn-GaAsバッファ層2を露出させ、フォトリソグラフィによりパタニングを行い、通常のリフトオフ法によりAuGe/Ni/Ti/Pt/Auエミッタ電極13を形成し、その後、コレクタ部(5, 6)にも同様なスペーサリフトオフ法により、AuGe/Ni/Ti/Pt/Auコレクタ電極11を形成する工程を示したものである。本実施例では、上述の如くベース電極12用金属としてTi/Pt/Au、エミッタ電極13及びコレクタ電極11用金属としてAuGe/Ni/Ti/Pt/Auを用いているが、これに限るものではなく、例えばベース電極12は、Pt/Ti/Pt/Auでも可能である。

【0051】その後、アロイオーミック処理を360℃で行い、SiO₂層間絶縁膜をプラズマCVD法により堆積させる。プロトン注入により素子間分離を行った後、フォトリソグラフィによりパタニングし、RIE法で各電極部(11, 12, 13)への開孔を行う。最後にパッド配線を施し素子製作工程は終了する。

【0052】本発明では、外部SiドープN-AlGaAsエミッタ層3の高抵抗化を酸素イオン注入を用いて行ったが、他のドーパント種のイオン注入により形成された高抵抗層は、比較的高温の再成長プロセス(500~550℃)により容易にその効果が消滅する。酸素イオン以外のドーパントのイオン注入により形成された高抵抗層は、放射線損傷によるダメージに起因しており、アニール温度の上昇に伴い高抵抗性が回復する傾向がある。一方、AlGaAs層中に酸素イオンを注入した層ももちろん放射線損傷ダメージによる高抵抗性はアニール

13

温度の上昇とともに回復するが、新たに深い準位に起因する高抵抗性を示すようになる。この深い準位に起因する高抵抗性はAlGaAs中に酸素原子が含まれる場合に特有なもので、熱的安定性に断然優れており、デバイス性能は基よりデバイスの信頼性の面からも有効である。この点については、例えば S.J. Pearton, M.P. Iafruzzi, C.L. Reynolds, Jr., 及び L. Pericolas らによる論文, "Formation of thermally stable high-resistivity AlGaAs by oxygen implantation", Appl. Phys. Lett., 52, pp.395 ~ 397 において開示されている通りである。

【0053】外部エミッタ層である高抵抗AlGaAs層(図3の9の領域に相当する層)は再成長法でも形成可能である。図3の工程においてシリコン窒化膜7及びシリコン窒化膜サイドウォール8をマスクとして、Cl-ガスECRプラズマRIE法で外部領域のCドープP-GaAsベース層4及びS-ドープN-AlGaAsエミッタ層3を選択的にエッチングし、MOMBE法でアンドープAlGaAs外部エミッタ層9、高濃度p-GaAs外部ベース層10の順で再成長することで図4に示したのと同様な構造を形成することができる。しかし、成長原料としてトリメチルアルミニウム(TMAl)、トリメチルガリウム(TMG)、As₂を用いてアンドープAlGaAs外部エミッタ層9を成長させた場合メチル基のCが多量に結晶内に入り込み高抵抗化が顕しい。また、比較的Cが入り込みずらいとされるトリエチルアルミニウム(TEA)を用いても酸素イオン注入法で達成できる様な高抵抗AlGaAs外部エミッタ層9の実現は難しい。加えて、再成長法では、アンドープAlGaAs外部エミッタ層9、高濃度p-GaAs外部ベース層10の膜厚制御が難しく、簡便に高抵抗層が形成できる酸素イオン注入法がスループットの向上、信頼性の面から有利である。

【0054】

【実施例2】本実施例1の記載では、コレクタアップ構造HBTについて説明したが、本発明はエミッタアップ構造HBTにも適用可能である。この場合は酸素イオン注入はベース・コレクタ接合容量C_{bc}の低減に効果がある。図6は本発明のヘテロ接合バイポーラトランジスタの製造方法をエミッタアップ構造HBTに適用した場合の図5に対応する工程図である。本発明によるエミッタアップ構造HBTの製造方法においても、前述の如く図1乃至図4に示した工程が同様に適用できることは明らかである。図6に示した実施例2においても、酸素イオン注入により高抵抗化したGaAs外部コレクタ層9'を用いることが望ましい。これによってベース・コレクタ容量が低減されるからである。実施例2においても、高濃度p-GaAs外部ベース層10は実施例1と同様にシリコン窒化膜サイドウォール8のマスクを用いて、酸素イオン注入により高抵抗化したGaAs外部コレク

(8)

特開平5-175225

14

タ層10上において、CドープP-GaAsベース層と接触してMOMBE法によりトリメチルガリウム(TMGA)、As₂を成長原料として成長温度450~500℃で再成長により形成することができる。従って、ベース抵抗R_bが低減され、かつベース・コレクタ接合容量C_{bc}の低減化されたエミッタアップ構造のHBTを形成することができる。

【0055】

【発明の効果】上述した様にコレクタアップ構造AlGaAs/GaAsHBTの外部ベース領域形成において、本発明によれば、高濃度p-GaAs層を再成長法で、酸素イオン注入により高抵抗化したAlGaAs層の上に堆積させることで、酸素イオン注入の影響を受けない極めて高濃度の外部ベース層を形成することが可能になった。また、再成長の際にコレクタメサ部の両側にシリコン窒化膜のサイドウォールを設けることで、成長条件によらず選択性が増す。これらの特徴により、ベース抵抗を著しく低減できる様になり、高いコレクタ電流密度領域での電流増幅率の改善、高周波特性、特に最大発振周波数f_{max}の向上、信頼性に優れたコレクタアップ構造AlGaAs/GaAsHBTを提供できる効果を有する。また、本発明によればエミッタアップ構造のHBTにおいても同様に電流増幅率の改善、高周波特性、特にf_{max}の向上、信頼性の向上を期待することができる。

【0056】例えば、本発明により製造したコレクタアップAlGaAs/GaAsHBTでは2μm×10μmの素子寸法でベース抵抗は10Ω程度に低減され、最大発振周波数f_{max}=140GHzと見稱することができ、高周波特性は格段に向上することになる。

【0057】また本発明によるHBTの製造方法によれば、コレクタアップ構造の素子特性が格段に改善されるため、エミッタアップ構造の素子と同時に集積化形成することが期待できる。即ち、本発明の製造方法はコレクタアップ構造にも、エミッタアップ構造にも適用することができるため、これら2つの素子を組み合わせた論理回路構成を有効に実現することができる。例えば、両構造のトランジスタを集積化することにより、1st L/M TL, STL, ECL/CML相当の論理回路の性能を大幅に改善することが期待できる。また導電型を反対にして構成することにより、コンプリメンタリー構成の論理回路等も構成できる。

【0058】更にまた、PINフォトダイオード、APD等の受光素子や、LED、レーザーダイオード等の発光素子と集積化構成することにより、光電子集積回路(OEIC)の製造方法にも適用することができる。更にまた、本発明によるHBTの製造方法によってこれらのHBTを並列化構成することによって超高周波高出力のパワーバイポーラトランジスタを実現することもできる。

15

【図面の簡単な説明】

【図1】本発明による実施例としてのn-p-n型コレクタアップ構造HBTの製造工程を図示したものであって、半絶縁性GaAs基板(1)上にn-GaAsバッファ層(2)と、N-AlGaAsエミッタ層(3)と、p-GaAsベース層(4)と、n-GaAsコレクタ層(5)と、n-GaAsキャップ層(6)とを有機金属熱分解(MOCVD)法により順次エピタキシャル成長させたウエハ全面にシリコン窒化膜(Si₃N₄)膜(7)をプラズマCVD法により堆積させた工程図である。

【図2】フォトリソグラフィによりパタニングを行い、このパタニングしたフォトリソグラフィをマスクに上記シリコン窒化膜(7)をC、F、ガスRIE及びSF₆、ガスRIE法によりエッチングし、更に同じマスクで図中(6)のSiドープn-GaAsキャップ層、(5)のSiドープn-GaAsコレクタ層をCl₂、ガスECRプラズマRIE法でエッチングを行い、CドープP-GaAsベース層(4)を露出させた後、プラズマCVD法とC、F、ガスRIE及びSF₆、ガスRIE法を用いてシリコン窒化膜サイドウォール(8)をコレクタメサの両側に形成する工程図である。

【図3】シリコン窒化膜(7)及びシリコン窒化膜サイドウォール(8)をマスクとして、選択エッチング液により、露出しているCドープP-GaAsベース層のみを除去した後、同じマスクで酸素イオン注入を行い、SiドープN-AlGaAsエミッタ層(3)を高抵抗化してAlGaAs外部エミッタ層(9)を形成する工程図である。

【図4】酸素イオン注入したAlGaAs外部エミッタ層(9)の表面を洗浄した後、MOMBE法によりCドープ高濃度p-GaAs外部ベース層(10)をAlGaAs外部エミッタ層(9)上に再成長させた工程図である。

【図5】Cドープ高濃度p-GaAs外部ベース層(10)にフォトリソグラフィによりパタニングを行い、スペーサリフトオフ法を用いてベース電極(12)を形成し、更にこのベース電極(12)の丁度外側までフォトリソグラフィによりパタニングを行い、このパタニングしたフォトリソグラフィをマスクにして、上記再成長したCドープ高濃度p-GaAs外部ベース層(10)及び酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層(9)をCl₂、ガスECRプラズマRIE法でエッチングし、高濃度Siドープn-GaAsバッファ層(2)を露出させ、フォトリソグラフィによりパタニ

(9)

特開平5-175225

16

グを行い、通常のリフトオフ法によりエミッタ電極(13)を形成し、その後、コレクタ部にも同様なスペーサリフトオフ法により、コレクタ電極(11)を形成する工程図である。

【図6】本発明の別の実施例(実施例2)を示し、本発明のヘテロ接合バイポーラトランジスタの製造方法をエミッタアップ構造HBTに適用した場合の図5に対応する工程図である。

【図7】従来の典型的なn-p-n型コレクタアップ構造AlGaAs/GaAs HBTの模式的素子断面構造図を示す図である。

【図8】素子寸法2μm×10μmの従来の典型的なコレクタアップHBTにおける電流利得逆断周波数f_{-3dB}(GHz)の最高共振周波数f_{max}(GHz)の酸素イオン注入ドーズ依存性を示す図である。

【図9】酸素イオン注入後Zn拡散を行った外部ベースに相当するCドープp型GaAs層のTLM法から求めたシート抵抗R_s(Ω/□)とコンタクト抵抗率ρ_c(Ω・cm²)の酸素イオン注入ドーズ依存性を示す図である。

【図10】図8に示した従来型コレクタアップHBTの高周波特性解析から得られたf_tとベース・コレクタ接合容量C_{bc}の値を用いて、f_{max}のベース抵抗R_b(Ω)依存性を計算した結果を示す図である。

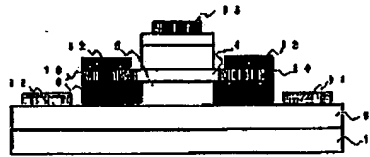
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 Siドープn-GaAsバッファ層
- 2' Siドープn-GaAsキャップ層
- 3 SiドープN-AlGaAsエミッタ層
- 4 CドープP-GaAsベース層
- 5 Siドープn-GaAsコレクタ層
- 6 Siドープn-GaAsキャップ層
- 6' Siドープn-GaAsバッファ層
- 7 シリコン窒化膜
- 8 シリコン窒化膜サイドウォール
- 9 酸素イオン注入により高抵抗化したAlGaAs外部エミッタ層
- 9' 酸素イオン注入により高抵抗化したGaAs外部コレクタ層
- 10 再成長高濃度p-GaAs外部ベース層
- 11 AuGe/Ni/Ti/Pt/Auコレクタ電極
- 12 Ti/Pt/Auベース電極
- 13 AuGe/Ni/Ti/Pt/Auエミッタ電極
- 14 Zn拡散を行った高濃度p-GaAs外部ベース層

(11)

特開平5-175225

【図6】



- 1 本底材料GaAs基板
- 2 Siドープ-GaAsバッファ層
- 3 Siドープ-AlGaAsエミッタ層
- 4 Cドープ-GaAsベース層
- 5 Siドープ-GaAsコレクタ層
- 6 Siドープ-GaAsパッド層
- 7 電流集中注入による高抵抗化したGaAs外部コレクタ層
- 8 内蔵抵抗層P-GaAs外部ベース層
- 9 AlGaAs/Ni/Ti/Pt/Auコレクタ電極
- 10 Ti/Pt/Auベース電極
- 11 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 12 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 13 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 14 AlGaAs/Ni/Ti/Pt/Auエミッタ電極

本発明のヘテロ接合バイポーラトランジスタの
本発明のヘテロ接合バイポーラトランジスタの
本発明のヘテロ接合バイポーラトランジスタの

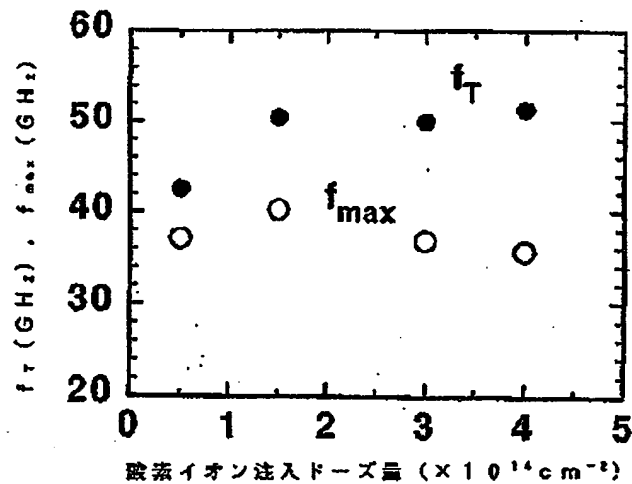
【図7】



- 1 本底材料GaAs基板
- 2 Siドープ-GaAsバッファ層
- 3 Siドープ-AlGaAsエミッタ層
- 4 Cドープ-GaAsベース層
- 5 Siドープ-GaAsコレクタ層
- 6 Siドープ-GaAsパッド層
- 7 電流集中注入による高抵抗化したAlGaAs外部コレクタ層
- 8 AlGaAs/Ni/Ti/Pt/Auコレクタ電極
- 9 Ti/Pt/Auベース電極
- 10 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 11 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 12 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 13 AlGaAs/Ni/Ti/Pt/Auエミッタ電極
- 14 AlGaAs/Ni/Ti/Pt/Auエミッタ電極

本発明のヘテロ接合バイポーラトランジスタの
本発明のヘテロ接合バイポーラトランジスタの
本発明のヘテロ接合バイポーラトランジスタの

【図8】

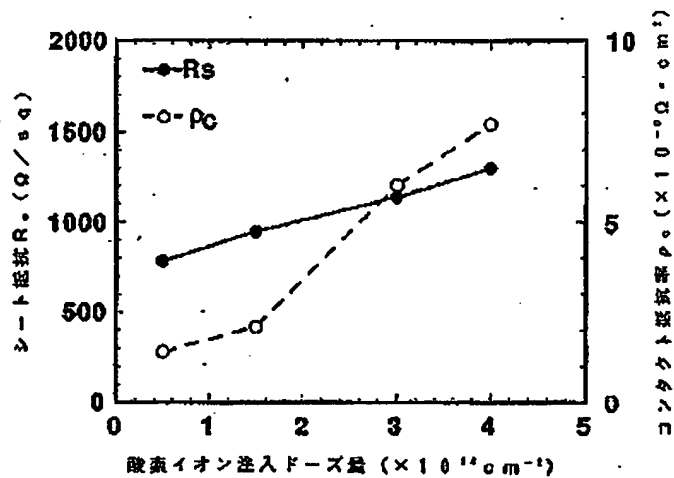


従来の典型的なコレクタアップHBTにおける
最高周波数 f_T (GHz)と
最大利得周波数 f_{max} (GHz)の
砒素イオン注入ドーズ量依存性を示す図

(12)

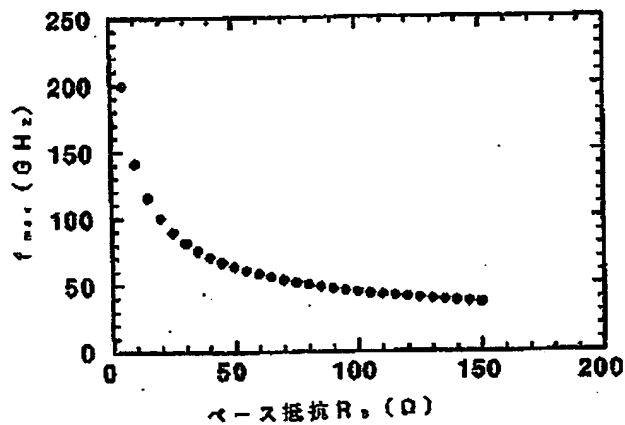
特開平5-175225

【図9】



従来のコレクタアップHBTの
高周波特性解析から得られた
 f_{max} とベース-コレクタ結合容量 C_{bc} の値を
用いて、 f_{max} のベース抵抗 R_b (Ω)依存性を
計算した結果を示す図

【図10】



従来のコレクタアップHBTの
高周波特性解析から得られた
 f_{max} とベース-コレクタ結合容量 C_{bc} の値を
用いて、 f_{max} のベース抵抗 R_b (Ω)依存性を
計算した結果を示す図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.